

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-199511

(43)Date of publication of application : 31.07.1997

(51)Int.Cl.

H01L 21/331

H01L 29/73

(21)Application number : 08-007028

(71)Applicant : SONY CORP

(22)Date of filing : 19.01.1996

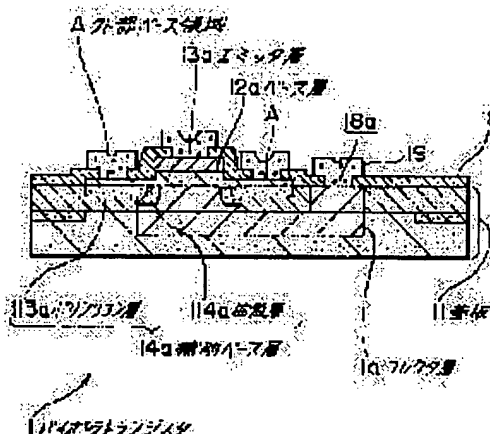
(72)Inventor : GOMI TAKAYUKI

(54) BIPOLAR TRANSISTOR

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent the outer base region of the base layer of a mesa-type bipolar transistor from overetching which causes the reduction of the thickness of the outer base region and hence the increase of a base resistance when an emitter layer is patterned on a base forming layer.

SOLUTION: A mesa-type bipolar transistor has a collector 11a formed on the surface side of a substrate 11, a base layer 12a which is provided on the substrate 11 so as to be connected to the collector layer 11a and an emitter layer 13a provided on the base layer 12a. An auxiliary base layer 14a which consists of a polycrystalline silicon layer 113a and a diffused layer 114a which is formed by diffusing impurities in the substrate 11 is provided under the outer base region A of the base layer 12a. The conductivity of the outer base region A is compensated by the auxiliary base layer 14a.



LEGAL STATUS

[Date of request for examination] 08.06.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3646387

[Date of registration] 18.02.2005

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-199511

(43) 公開日 平成9年(1997)7月31日

(51) Int.Cl.[°]

H 0 1 L 21/331
29/73

識別記号

庁内整理番号

F I

H 0 1 L 29/72

技術表示箇所

審査請求 未請求 請求項の数16 O L (全 13 頁)

(21) 出願番号 特願平8-7028

(22) 出願日 平成8年(1996)1月19日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 五味 孝行

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

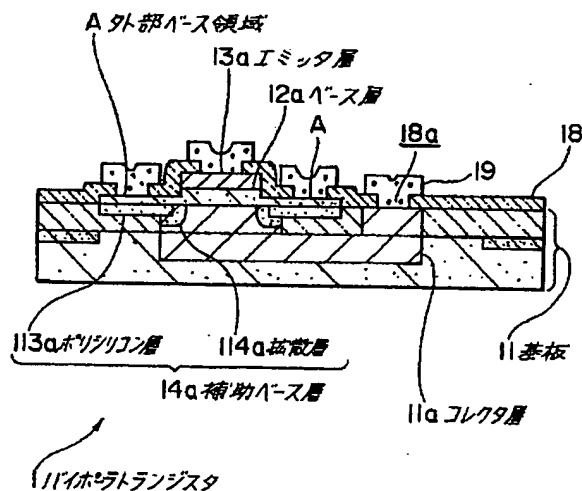
(74) 代理人 弁理士 船橋 國則

(54) 【発明の名称】 バイポーラトランジスタ

(57) 【要約】

【課題】 メサ型バイポーラトランジスタの形成において、ベース形成層上でエミッタ層をパターン形成する際にベース層の外部ベース領域がオーバーエッチングされて薄くなり、ベース抵抗が上昇する。

【解決手段】 基板11の表面側に形成されたコレクタ層11aと、コレクタ層11aに接続する状態で基板11上に配置されたベース層12aと、ベース層12a上に配置されたエミッタ層13aとを備えてなるメサ型のバイポーラトランジスタ1において、ベース層12aの外部ベース領域A下面にポリシリコン層113aと基板11に不純物を拡散させてなる拡散層114aとからなる補助ベース層14aを配置する。そして、外部ベース領域Aの導電性を補助ベース層14aによって補償する。



第1実施形態のバイポーラトランジスタを示す断面図

【特許請求の範囲】

【請求項1】 基板の表面側に形成されたコレクタ層と、当該コレクタ層に接合する状態で前記基板上に配置されたベース層と、当該ベース層上に配置されたエミッタ層と、を備えてなるメサ型のバイポーラトランジスタであって、

前記エミッタ層の側方下部における前記ベース層の外部ベース領域下面には、不純物を含有するポリシリコン層、金属シリサイド及び前記基板の表面層に形成された拡散層のうちの少なくとも一つからなる補助ベース層が配置されていること、を特徴とするバイポーラトランジスタ。

【請求項2】 請求項1記載のバイポーラトランジスタにおいて、前記補助ベース層は、その端部が前記エミッタ層の下方に配置されていること、を特徴とするバイポーラトランジスタ。

【請求項3】 基板の表面側に形成されたコレクタ層と、当該コレクタ層に接合する状態で前記基板上に配置されたベース層と、当該ベース層上に配置されたエミッタ層と、を備えてなるメサ型のバイポーラトランジスタであって、

前記エミッタ層の側方下部における前記ベース層の外部ベース領域上面には、前記エミッタ層と絶縁された状態で金属シリサイドからなる補助ベース層が配置されていること、を特徴とするバイポーラトランジスタ。

【請求項4】 請求項3記載のバイポーラトランジスタにおいて、

前記補助ベース層は、その端部が前記ベース層の下面に配置される前記コレクタ層部分の上方に配置されていること、を特徴とするバイポーラトランジスタ。

【請求項5】 請求項3記載のバイポーラトランジスタにおいて、

前記エミッタ層の側方下部における前記ベース層の外部ベース領域下面には、不純物を含有するポリシリコン層、金属シリサイド及び前記基板の表面層に形成された拡散層のうちの少なくとも一つからなる補助ベース層が配置されていること、を特徴とするバイポーラトランジスタ。

【請求項6】 請求項5記載のバイポーラトランジスタにおいて、前記補助ベース層は、その端部が前記エミッタ層の下方に配置されていること、を特徴とするバイポーラトランジスタ。

【請求項7】 請求項4記載のバイポーラトランジスタにおいて、

前記エミッタ層の側方下部における前記ベース層の外部ベース領域下面には、不純物を含有するポリシリコン層、金属シリサイド及び前記基板の表面層に形成された拡散層のうちの少なくとも一つからなる補助ベース層が

配置されていること、を特徴とするバイポーラトランジスタ。

【請求項8】 請求項7記載のバイポーラトランジスタにおいて、

前記補助ベース層は、その端部が前記エミッタ層の下方に配置されていること、を特徴とするバイポーラトランジスタ。

【請求項9】 請求項1記載のバイポーラトランジスタにおいて、

前記ベース層は、シリコンとゲルマニウムとの化合物半導体からなること、を特徴とするバイポーラトランジスタ。

【請求項10】 請求項2記載のバイポーラトランジスタにおいて、

前記ベース層は、シリコンとゲルマニウムとの化合物半導体からなること、を特徴とするバイポーラトランジスタ。

【請求項11】 請求項3記載のバイポーラトランジスタにおいて、

前記ベース層は、シリコンとゲルマニウムとの化合物半導体からなること、を特徴とするバイポーラトランジスタ。

【請求項12】 請求項4記載のバイポーラトランジスタにおいて、

前記ベース層は、シリコンとゲルマニウムとの化合物半導体からなること、を特徴とするバイポーラトランジスタ。

【請求項13】 請求項5記載のバイポーラトランジスタにおいて、

前記ベース層は、シリコンとゲルマニウムとの化合物半導体からなること、を特徴とするバイポーラトランジスタ。

【請求項14】 請求項6記載のバイポーラトランジスタにおいて、

前記ベース層は、シリコンとゲルマニウムとの化合物半導体からなること、を特徴とするバイポーラトランジスタ。

【請求項15】 請求項7記載のバイポーラトランジスタにおいて、

前記ベース層は、シリコンとゲルマニウムとの化合物半導体からなること、を特徴とするバイポーラトランジスタ。

【請求項16】 請求項8記載のバイポーラトランジスタにおいて、

前記ベース層は、シリコンとゲルマニウムとの化合物半導体からなること、を特徴とするバイポーラトランジスタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、バイポーラトラン

ジスタに関し、特にエピタキシャル成長によつて積層形成された半導体層をパターニングしてなるベース層とエミッタ層とを有するメサ型のバイポーラトランジスタに関する。

【0002】

【従来の技術】バイポーラトランジスタの動作速度をより高めるためには、ベース幅を狭くすることによって最高遮断周波数（以下、 f_{Tmax} と記す）を上昇させる必要がある。しかし、ベース幅を狭くするとエミッターコレクタ間の耐圧が劣化してパンチスルーが発生し易くなることから、バイポーラトランジスタの f_{Tmax} を上昇させるためには浅くしかも不純物濃度が濃いベース層を設ける必要がある。一般的には、上記ベース層にはイオン注入によって不純物を導入してなる不純物拡散層が用いられてきた。しかし、イオン注入による不純物導入では、チャネリングの問題から上記不純物拡散層の深さを浅くするには限界があり、これによって形成されたベース層を有するバイポーラトランジスタでは、 $f_{Tmax} = 30 \sim 40 \text{ GHz}$ が上限であった。

【0003】そこで、エピタキシャル成長によって形成した半導体層をベース層として用いたバイポーラトランジスタが提案された。このバイポーラトランジスタは以下のようにして形成する。先ず、図15（1）に示すように、表面側にN型のコレクタ層11aが形成された基板11上に、P型の不純物を含有するシリコン膜を第1半導体層12としてエピタキシャル成長させる。次に、第1半導体層12の上面に、N型の不純物を含有するシリコン膜を第2半導体層13としてエピタキシャル成長させる。次に、図13（2）に示すように、レジストパターン901をマスクにして第2半導体層13をエッチングし、当該第2半導体層13からなるエミッタ層13aを形成する。レジストパターン901を除去した後、図13（3）に示すように、レジストパターン902をマスクにして第1半導体層12をエッチングし、エミッタ層13aの下に当該第1半導体層12からなるベース層12aを形成する。次いで、図13（4）に示すように、エミッタ層13a及びベース層12aを覆う状態で基板11上に絶縁膜18を成膜する。その後、絶縁膜18にコレクタ層11a、ベース層12a及びエミッタ層13aに達するコンタクトホール18aをそれぞれ形成し、さらに上記各層に接続する配線19を形成する。

【0004】上記のようにして形成されたバイポーラトランジスタ9は、イオン注入によって形成されたベース層と比較して浅くかつ不純物濃度の濃いベース層12aを有するものになり、 f_{Tmax} が 50 GHz 程度にまで達することが報告されている。また、上記ベース層12aは、不純物を含有するSi-Ge（シリコン-ゲルマニウム：SiGex）膜からなる第1半導体層をパターニングしてなるものでも良い。このようなベース層12aを有するヘテロバイポーラトランジスタは、シリコン

のみで形成されたバイポーラトランジスタと比較してベースのバンドギャップが狭いためにエミッタ濃度を低く設定できる。このため、バンドギャップナロウイングに起因するhFEの低下やエミッターベース間の耐圧の低下が防止される。このような構成のヘテロバイポーラトランジスタでは、 f_{Tmax} が 100 GHz 程度にまで達することが報告されている。

【0005】近年、半導体装置の高集積化及び高機能化が進展しており、情報通信分野においても通信機器の小型化及び通信速度の高速化が求められている。これを達成するためには、現在Ga-As（ガリウム-ヒ素）を用いて形成された素子と同程度に高速動作が可能（ $f_{Tmax} = 120 \text{ GHz}$ ）な素子をシリコン基板上に形成して上記素子のIC化を図ることが必須であり、上記各バイポーラトランジスタの実用化が求められている。

【0006】

【発明が解決しようとする課題】しかし、上記バイポーラトランジスタを実用化するうえでは、以下のような課題があった。すなわち、図15（2）に示したように、上記エミッタ層13aは、ベース層になる第1半導体層12上においてパターニングされたものである。このため、上記パターニングの際にはエミッタ層13aから露出するベース層（第1半導体層12）部分がオーバーエッチングされることは避けられない。したがって、図15（3）に示したように、上記ベース層12aは、エミッタ層13a下部の真性ベース領域Bよりもその他のベース層部分すなわち外部ベース領域Aの膜厚が薄いものになり、ベース抵抗が高くなるという問題がある。そして、このオーバーエッチングによるベース抵抗の増加は、ベース層を薄くすればするほど顕著になり、これが素子の高速化を阻害する要因になっている。

【0007】

【課題を解決するための手段】そこで本発明のバイポーラトランジスタは、コレクタ層が形成された基板上に配置されるベース層と、このベース層上に配置されるエミッタ層とを備えたメサ型のバイポーラトランジスタにおいて、上記エミッタ層の側方下部における上記ベース層の外部ベース領域下面や上面に、上記エミッタ層と絶縁された状態で補助ベース層を配置したことを上記課題を解決するための手段としている。また、上記外部ベース領域下面の補助ベース層の端部はエミッタ層の下部に配置され、上記外部ベース領域上面の補助ベース層の端部はベース層の下面のコレクタ層部分の上部に配置される。

【0008】上記バイポーラトランジスタでは、外部ベース領域の上面や下面に補助ベース層が配置されていることから、上記外部ベース領域の実質的な膜厚は当該外部ベース領域と補助ベース領域との膜厚を合わせた厚さになる。このため、ベース層全体が薄膜化して外部ベース領域のベース抵抗が上昇しても、当該外部ベース領域

の上面や下面に配置された補助ベース層によってベース抵抗の上昇が抑えられる。そして、外部ベース領域下面の補助ベース層の端部はエミッタ層の下方に配置されることから、エミッタ層下の真性ベース領域から外部ベース領域にかけて切れ目なく上記補助ベース層が配置され、さらにベース抵抗の上昇が抑えられる。また、外部ベース領域上面の補助ベースはベース層下のコレクタ層部分の上方に配置されることから、コレクタ層上におけるベース層の単結晶部分と当該補助ベース層とが接続された状態になり、さらにベース抵抗が低く抑えられる。

【0009】

【発明の実施の形態】以下、本発明のバイポーラトランジスタの第1～第8実施形態を順次説明する。なお、各実施形態の説明において同一の構成部分には同一の符号を付し、重複する説明は省略する。また、以下の各実施形態では、NPNバイポーラトランジスタを例に取って説明を行うが、本発明はPNPバイポーラトランジスタにも適用可能である。ただし、この場合説明中における導電型を逆にするにとする。

【0010】図1は、本発明の請求項1、2及び請求項9、10を適用した第1実施形態のバイポーラトランジスタを説明するための図である。このバイポーラトランジスタ1はメサ型であり、基板11の<100>面側に形成されたN型のコレクタ層11aと、このコレクタ層11aに接合する状態で基板11上に配置されたP型のベース層12aと、ベース層12a上に配置されたN型のエミッタ層13aとが備えられている。そして、エミッタ層13aの側方下部におけるベース層12aの外部ベース領域Aの下面に、補助ベース層14aが配置されている。この補助ベース層14aは、ポリシリコン層113aと拡散層114aとで構成されている。上記ポリシリコン層113aは、 $10^{19} \sim 10^{21}$ 個/cm³ 程度の高濃度でポリシリコンにP型不純物を含有させてなり、また、拡散層114aは、 $10^{19} \sim 10^{21}$ 個/cm³ 程度の高濃度でシリコン単結晶にP型不純物を含有させてなる。

【0011】以下に、図2(1)～(5)及び図3

(6)～(10)を用いて当該バイポーラトランジスタ1の製造手順を説明する。まず、図2(1)に示すように、P型のシリコン基板101表面に、熱酸化によって300nm程度の膜厚の酸化シリコン膜102を成膜する。次に、ここでは図示しないレジストパターンをマスクに用いて、上記バイポーラトランジスタを形成する部分の酸化シリコン膜102をエッチング除去する。次に、酸化アンチモン(Sb₂O₃)を固体拡散源に用いた気相拡散によって、酸化シリコン膜102を除去した部分におけるシリコン基板101の表層にアンチモンを拡散させてN型の埋め込みコレクタ層103を形成する。ここでは、埋め込みコレクタ層103のシート抵抗 $\rho_s = 20 \sim 50 \Omega/\square$ 、深さ $X_j = 1 \sim 2 \mu m$ 程度に

なるように拡散を行う。

【0012】次に、図2(2)に示すように、酸化シリコン膜(102)を除去した後、エピタキシャル技術によって、抵抗率 $= 0.3 \sim 5.0 \Omega \cdot cm$ 、厚さ $= 0.7 \sim 2.0 \mu m$ 程度のN型の半導体層104をシリコン基板101上に成膜する。

【0013】その後、図2(3)に示すように、N型の半導体層104の表面を酸化させてバッファ酸化膜105を成膜し、減圧CVD (Chemical Vapor Deposition) 法によってこのバッファ酸化膜105の上面に窒化シリコン膜106を成膜する。これらの膜の膜厚は、後に形成するLOCOS (Local Oxidation of Silicon) 酸化膜のバースピークの長さ、及びLOCOS酸化に伴う応力や欠陥発生の制御性で決定され、一例としてバッファ酸化膜105は20～50nm、窒化シリコン膜106は50～100nm程度に設定される。次に、ここでは図示しないレジストパターンをマスクに用いたエッチングによって、LOCOS酸化を行う領域上における窒化シリコン膜106及びバッファ酸化膜105を除去し、さらにN型の半導体層104をLOCOS酸化膜の膜厚の1/2程度になるまでエッチングする。これによって、LOCOS酸化膜を形成した後の基板表面が平坦になるようにする。

【0014】次いで、図2(4)に示すように、1000～1050℃で2～6時間のスチーム酸化を行うことによって、窒化シリコン膜106から露出する半導体層104表面に0.8～1.5 μm の膜厚のLOCOS酸化膜107を成長させる。この工程でLOCOS酸化されずに残った半導体層104部分と、埋め込みコレクタ層103とでN型のコレクタ層11aが形成される。そして、シリコン基板101とコレクタ層11aとLOCOS酸化膜107とからなる基板11が形成される。その後、熱リン酸を用いたウェットエッチングによって、窒化シリコン膜106)を除去し、次いで、基板11上に、コレクタ層11aの取り出し領域上を開口する形状のレジストパターン108を形成する。そして、このレジストパターン108をマスクに用いたイオン注入によって、コレクタ層11aの表面部分に取り出し領域を形成するためのN型不純物を導入する。ここでは、N型不純物としてリンを用い、40～100keVの注入エネルギーで $10^{15} \sim 10^{16}$ 個/cm² 程度導入する。

【0015】次いで、レジストパターン108を除去した後、CVD法によってここでは図示しない酸化シリコン膜を100～600nm程度の膜厚で成膜する。その後、上記イオン注入によって基板11の表面部分に導入されたリンの活性化アニールを行う。次に、ここでは図示しないレジスト膜を上記酸化シリコン膜上に塗布する。その後、RIE (Reactive Ion Etching) 法によって上記レジスト膜及び酸化シリコン膜をコレクタ層11aが露出するまで全面エッチバックし、基板11表面を

平坦化する。

【0016】次に、図2(5)に示すように、900℃程度の熱酸化処理を行うことによって、基板11の表面側に形成されたコレクタ層11aの露出面に10~30nm程度の膜厚の酸化膜110を成長させる。次いで、基板11上にレジストパターン109を形成した後、このレジストパターン109をマスクに用いたイオン注入によってバイポーラトランジスタの素子間分離領域111を形成するためのP型の不純物を導入する。その後、レジストパターン109を除去する。以上までの工程は、従来と同様の手順で行う。

【0017】そして、以下の工程からが、第1実施形態で示したバイポーラトランジスタ製造において特徴的な工程であり、次のような手順で行う。先ず、図3(6)に示すように、基板11上にレジストパターン112を形成する。このレジストパターン112は、後に形成するベース層の外部ベース領域形成部分のほぼ全域を露出する開口部を有する形状に形成する。その後、このレジストパターン112をマスクに用いたRIE法によって、酸化膜110、LOCOS酸化膜107及びコレクタ層11aの一部を200~300nmの深さにエッチング除去する。

【0018】次に、図3(7)に示すように、上記レジストパターン(112)を除去した後、CVD法によって、基板11上にポリシリコン膜113を成膜する。このポリシリコン膜113は、P型不純物を高濃度で含有するものであり、上記エッチングによって基板11表面に形成された段差の凹部が埋め込まれる程度の厚さ、ここでは200~300nmの膜厚で成膜される。その後、酸化膜110をストップにしたCMP (Chemical Mechanical Polishing)法によってポリシリコン膜113を表面側から研磨し、基板11の表面を平坦化する。これによって、上記段差の凹部をポリシリコン層113aで埋め込む。

【0019】次いで、ポリシリコン層113aからの熱拡散によって基板11中にP型不純物を拡散させ、ポリシリコン層113aの側周に沿ってP型の拡散層114aを形成する。そして、このポリシリコン層113aと拡散層114aとで、補助ベース14aが構成される。なお、次に行う成膜工程を高温で行う場合には、この熱拡散工程を特に行うことなく拡散層114aが形成される。

【0020】次に、図3(8)に示すように、基板11表面を清浄化した後、MBE (Molecular Beam Epitaxy)、ガスソースMBE、UHV (Ultra High Vacuum)-CVDまたはLP (Low Pressure)-CVD法等によって、基板11上に第1半導体層12をエピタキシャル成長させる。この第1半導体層12はP型の不純物を含有するSi-Ge (シリコン-ゲルマニウム) 層またはSi (シリコン) 層とする。その後、表面の清浄化を保

つために、上記第1半導体層12の成長に連続させて第2半導体層13をエピタキシャル成長させる。この第2半導体層13はN型の不純物を含有するSi層とする。上記成膜においては、第1半導体層12の成膜下地に単結晶シリコンが露出している部分上では、当該第1半導体層12及び第2半導体層13は単結晶層になる。これに対して、上記成膜下地が酸化膜(LOCOS酸化膜107)やポリシリコン層113aである部分上では、上記第1半導体層12及び上記第2半導体層13は微結晶層になる。

【0021】上記の後、図3(9)に示すように、第2半導体層13上にレジストパターン115を形成し、このレジストパターン115をマスクに用いて第2半導体層13をエッチングする。これによって、第2半導体層13からなるエミッタ層13aを形成する。このエッチングでは、レジストパターン115から露出している部分の第1半導体層12がオーバーエッチングされて薄くなる。

【0022】次に、図3(10)に示すように、上記レジストパターン(115)を除去した後、エミッタ層13a及び補助ベース14a上を覆う形状のレジストパターン116を形成する。次いで、このレジストパターン116をマスクに用いて第1半導体層12をエッチングすることによって、第1半導体層12からなるベース層12aを形成する。

【0023】上記のようにして、コレクタ層11a、ベース層12a及びエミッタ層13aを形成した後、上記レジストパターン116を除去する。次いで、図1に示すように、CVD法によって、エミッタ層13a及びベース層12aを覆う状態で基板11上に300nm程度の膜厚の絶縁膜18を成膜する。しかる後、絶縁膜18上にここでは図示しないレジストパターンを形成し、これをマスクに用いたRIEによってコレクタ層11a、ベース層12a及びエミッタ層13aにそれぞれ達するコンタクトホール18aを形成する。

【0024】次に、上記レジストパターンを除去した後、バリアメタル(図示せず)に続いてアルミニウムをスパッタ成膜する。その後、ここでは図示しないレジストパターンをマスクに用いたRIEによって、アルミニウム及びバリアメタルをRIEし、コレクタ層11a、ベース層12a及びエミッタ層13aにそれぞれ接続する配線19を形成する。その後、上記レジストパターンを除去し、以降は、多層配線の工程を行う。

【0025】以上のようにして、外部ベース領域Aの下面に補助ベース14aが配置されたバイポーラトランジスタ1が形成される。このバイポーラトランジスタ1は、外部ベース領域Aの実質的な膜厚は外部ベース領域Aと補助ベース層14aとの膜厚を合わせた厚さになる。このため、図3(9)で示したエミッタ層13aを形成する際のエッチングでベース層12aの外部ベース

領域Aになる第1半導体層12部分がオーバーエッチングされても、この外部ベース領域Aの下面に配置されている補助ベース14aによってベース抵抗の上昇が抑えられる。さらに、補助ベース14aを構成する拡散層114aがエミッタ層13aとオーバーラップするように配置されるため、外部ベース領域Aの全域で切れ目なくベース抵抗を低く抑えることができる。

【0026】次に、図4は、上記第1実施形態と同様の請求項を適用した第2実施形態のバイポーラトランジスタを説明するための図である。このバイポーラトランジスタ2と上記図1で示した第1実施形態のバイポーラトランジスタとの異なる点は、補助ベース層24aがポリシリコン層のみからなる点にある。そして、基板11の表面側に埋め込まれたポリシリコン層からなる補助ベース層24aは、エミッタ層13aとオーバーラップするように配置される。

【0027】このような構成のバイポーラトランジスタ2も、上記第1実施形態のバイポーラトランジスタと同様の効果を有するものになる。なお、上記バイポーラトランジスタ2は、第1実施形態のバイポーラトランジスタの製造工程において、図3(7)に示したポリシリコン層113aからの不純物の拡散を行うことなく形成される。

【0028】次に、図5は、上記第1及び第2実施形態と同様の請求項を適用した第3実施形態のバイポーラトランジスタを説明するための図である。このバイポーラトランジスタ3と上記図1及び図4を用いて説明したバイポーラトランジスタとの異なる点は、ベース層12aの外部ベース領域A下面に配置される補助ベース34aが、基板11の上面に配置されている点にある。以下に、上記バイポーラトランジスタ3の製造手順を説明する。

【0029】まず、上記第1実施形態のバイポーラトランジスタの形成方法と同様に、図2(1)～(5)に示す手順で、基板11の表面側にコレクタ層11aを形成する。上記の後、図6(6)に示すように、コレクタ層11a上の酸化膜110を除去し、次いでCVD法によって基板11上にポリシリコン膜301を成膜する。このポリシリコン膜301は、P型不純物を高濃度で含有するもので、200～300nmの膜厚に成膜される。その後、コレクタ層11aと後に形成するベース層との接合部上を開口する形状のレジストパターン302を、ポリシリコン膜301上に形成する。次いで、このレジストパターン302をマスクに用いてポリシリコン膜301をエッチングする。

【0030】次に、図6(7)に示すように、レジストパターン(302)を除去した後、上記第1実施形態で説明したと同様にして基板11及びポリシリコン膜301の上面に第1半導体層12及び第2半導体層13を成膜する。

【0031】その後、図6(8)に示すように、第2半導体層13上にレジストパターン303を形成し、このレジストパターン303をマスクに用いて第2半導体層13をエッチングする。これによって、当該第2半導体層13からなるエミッタ層13aを形成する。このエッチングでは、レジストパターン303から露出している部分の第1半導体層12がオーバーエッチングされて薄くなる。

【0032】次に、図6(9)に示すように、レジストパターン(303)を除去し、次いで、ベース層の形成部分上を覆う形状のレジストパターン304を形成する。次いでこのレジストパターン304をマスクに用いて第1半導体層12及びポリシリコン膜301をエッチングし、これによって第1半導体層12からなるベース層12aとポリシリコン膜301からなる補助ベース層34aを形成する。

【0033】その後の工程は、上記第1実施形態と同様に行うことによって、図5に示したバイポーラトランジスタ3が形成される。このように構成されたバイポーラトランジスタ3も、上記第1及び第2実施形態で示したバイポーラトランジスタと同様の効果を有するものになる。尚、上記第1、第2及び第3実施形態で示したバイポーラトランジスタは、コレクタ層11aの幅に関わりなく補助ベース層を形成できることから、セルサイズを広げることなく形成可能である。さらに、このような構成の各バイポーラトランジスタでは、ポリシリコン層からなる補助ベース層または補助ベース層部分を金属シリサイドからなるものにして良い。

【0034】次に、図7は、上記第1～第3実施形態と同様の請求項を適用した第4実施形態のバイポーラトランジスタを説明するための図である。ここで示すバイポーラトランジスタ4と上記第1、第2及び第3実施形態のバイポーラトランジスタ(図1、図4、図5)との異なる点は、補助ベース層44aが拡散層のみからなる点にある。以下に、上記バイポーラトランジスタ4の製造手順を説明する。

【0035】まず、上記第1実施形態のバイポーラトランジスタの形成方法と同様に、図2(1)～(5)に示す手順で、基板11の表面側にコレクタ層11aを形成する。ただし、コレクタ層11aは、後に形成するベース層の外部ベース領域の下方にまで配置される程度の幅で形成する。

【0036】上記の後、図8(6)に示すように、コレクタ層11a上の酸化膜110を除去し、次いで、基板11上に第1半導体層12及び第2半導体層13を成膜する。この第1半導体層12及び第2半導体層13は、上記第1実施形態で示したと同様にして成膜する。次いで、CVD法によって、上記第2半導体層13の上面に酸化膜401を200～400nm程度の膜厚で成膜する。

【0037】その後、図8(7)に示すように、酸化膜401上にレジストパターン402を形成し、このレジストパターン402をマスクに用いて酸化膜401及び第2半導体層13をエッチングする。これによって、当該第2半導体層13からなるエミッタ層13aを形成する。また、このエミッタ層13aの上面には、次で行うイオン注入の保護膜になる酸化膜401部分がオフセット酸化膜401aとして残る。このエッチングでは、レジストパターン402から露出している部分の第1半導体層12がオーバーエッチングされて薄くなる。

【0038】次に、図8(8)に示すように、上記レジストパターン(402)を除去した後、オフセット酸化膜401a、エミッタ層13a及び第1半導体層12の側壁にサイドウォール403を形成する。このサイドウォール403は、CVD法によって成膜した200~400nmの膜厚の酸化膜(図示せず)をRIEすることによって形成する。次に、基板11上に、少なくとも後に形成されるベース層の外部ベース領域が配置される部分を露出する開口部を有し、かつコレクタ層11aの取り出し部分を覆う形状のレジストパターン404を形成する。そして、このレジストパターン404をマスクに用いたイオン注入によって、第1半導体層12及び基板11の表面層にP型の不純物を導入する。そして、基板11の表面層に導入された上記不純物は、当該表面層部分に補助ベース層44aを形成するものになる。この際、例えば、ホウ素イオンを、5~50KeVの注入エネルギーで $10^{15} \sim 10^{16}$ 個/cm²程度導入する。

【0039】その後、図8(9)に示すように、レジストパターン(404)を除去し、次いで、ベース層の形成部分上を覆う形状のレジストパターン405を形成する。次いで、このレジストパターン405をマスクに用いて第1半導体層12をエッチングし、これによって第1半導体層12からなるベース層12aを形成する。

【0040】その後の工程は、上記第1実施形態と同様に行うことによって、図7に示したバイポーラトランジスタ4が形成される。このように構成されたバイポーラトランジスタ4も、上記第1、第2及び第3実施形態で示したバイポーラトランジスタと同様の効果を有するものになる。

【0041】次に、図9は、本発明の請求項3、4及び請求項11、12を適用した第5実施形態のバイポーラトランジスタを説明するための図である。ここで示すバイポーラトランジスタ5と上記第1~第4実施形態のバイポーラトランジスタとの異なる点は、補助ベース層54aが外部ベース領域Aの上面に配置されている点にある。以下に、上記バイポーラトランジスタ5の製造手順を説明する。

【0042】先ず、上記第1~第4実施形態のバイポーラトランジスタの形成方法と同様に、図2(1)~

(5)に示す手順で、基板11の表面側にコレクタ層1

1aを形成する。ただし、コレクタ層11aの幅は、以下で形成される補助ベース層とオーバーラップする程度の幅に設定する。次に、図10(6)に示すように、上記第1実施形態で示したと同様にして、コレクタ層11a上の酸化膜110を除去した後、基板11上に第1半導体層12及び第2半導体層13を形成する。

【0043】次いで、図10(7)に示すように、第2半導体層13上にレジストパターン501を形成し、次いでこのレジストパターン501をマスクに用いて第2半導体層13をエッチングする。これによって、当該第2半導体層13からなるエミッタ層13aを形成する。このエッチングでは、レジストパターン501から露出した部分の第1半導体層12がオーバーエッチングされて薄くなる。

【0044】次いで、図10(8)に示すように、レジストパターン(501)を除去した後、ベース層の形成部分上を覆う形状のレジストパターン502を形成する。次いで、このレジストパターン502をマスクに用いて第1半導体層12をエッチングし、これによって第1半導体層12からなるベース層12aを形成する。

【0045】その後、図10(9)に示すように、レジストパターン(502)を除去した後、エミッタ層13a及びベース層12aの側壁にサイドウォール503を形成する。このサイドウォール503は、CVD法によって成膜した200~400nmの膜厚の酸化膜(図示せず)をRIEすることによって形成する。尚、サイドウォール503を形成した状態では、ベース層12aの単結晶部分(すなわちコレクタ層11a上の部分)の一部がエミッタ層13a及びサイドウォール503から露出するようにする。

【0046】次いで、図10(10)に示すように、セルフアラインシリサイドプロセスによって、酸化膜すなわちLOCOS酸化膜107及びサイドウォール503から露出する部分に金属シリサイド504を成長させる。そして、この金属シリサイド504のうち、外部ベース領域Aの表面に成長した金属シリサイドが補助ベース層54aになる。この補助ベース層54aの端部は、ベース層12a下方のコレクタ層11a上、すなわちベース層12aの単結晶部分上に重ねて配置される。

【0047】また、上記金属シリサイド504は、例えばTi(チタン)、Ni(ニッケル)、Pt(プラチナ)、Mo(モリブデン)、Co(コバルト)またはPd(パラジウム)のような高融点金属膜を基板11上に成膜した後、400℃~800℃の温度でアニールすることで、SiまたはSi-Ge表面に選択的にシリサイドを成長させて形成したものであり、当該金属シリサイド504を形成した後は、不要部分(シリサイド化されなかった部分)の金属膜をエッチング除去する。上記セルフアラインシリサイドプロセスによれば、エミッタ層13aの表面にも金属シリサイド504が成長する。

しかし、サイドウォール503によってエミッタ層13a表面の金属シリサイド504部分と上記補助ベース層54aとの間の絶縁状態が確保される。

【0048】その後の工程は、上記第1～第4実施形態と同様に行うことによって、図9に示したバイポーラトランジスタ5が形成される。なお、ベース層12aに接続する配線19は、補助ベース層54aに接続するように形成する。このように構成されたバイポーラトランジスタ5は、外部ベース領域Aの上面に極めて低抵抗な金属シリサイドからなる補助ベース層54aが配置されていることから、上記第1～第4実施形態のバイポーラトランジスタと同様の効果を有するものになる。さらに、補助ベース層54aの端部がベース層12aの下面に配置されるコレクタ層11a部分の上方に配置されるため、コレクタ層11a上のベース層12aにおける単結晶部分と補助ベース層54aとが接続された状態になり、さらにベース抵抗を低く抑える効果を奏している。

【0049】次に、図11は、本発明の上記第5実施形態と同様の請求項を適用した第6実施形態のバイポーラトランジスタを説明するための図である。ここで示すバイポーラトランジスタ6と上記第5実施形態バイポーラトランジスタとの異なる点は、その一部が補助ベース層64aとなる金属シリサイドが、エミッタ層13aの表面に配置されていない点にある。以下に、上記バイポーラトランジスタ6の製造手順を説明する。

【0050】先ず、上記第5実施形態のバイポーラトランジスタの形成方法と同様に、図2(1)～(5)に示す手順で、基板11の表面側にエミッタ層13aを形成する。その後、図12(6)に示すように、第5実施形態のバイポーラトランジスタの形成手順と同様にして、酸化膜110を除去した後、基板11上に第1半導体層12と第2半導体層13とを積層させて成膜する。次いで、CVD法によって第2半導体層13の上面に酸化膜601を200～400nm程度の膜厚で成膜する。

【0051】その後、図12(7)～(10)に示す工程を上記第5実施形態のバイポーラトランジスタの形成手順における図10(7)～(10)で示した工程と同様に行う。これによって、図12(10)で示したセルフアラインシリサイドの工程では、上記酸化膜601からなるオフセット酸化膜601aがマスクになって、エミッタ層13aの表面には金属シリサイド605は成膜されない。

【0052】以下の工程は、上記第1～第5実施形態と同様に行うことによって、図11に示したバイポーラトランジスタ6が形成される。このように構成されたバイポーラトランジスタ6は、エミッタ層13aの表面で金属シリサイドが成長する際にエミッタ層13aを構成しているシリコンが当該エミッタ層13a下のベース層12aに拡散することが防止される。このため、エミッタ層13a及びその下方において、上記シリコンの拡散に

誘発される不純物の拡散を防止でき、ベース層12a及びエミッタ層13aの浅さが確保される。

【0053】次に、図13は、請求項5～8及び請求項13～16を適用した第7実施形態のバイポーラトランジスタを説明するための図である。ここで示すバイポーラトランジスタ7と上記各実施形態のバイポーラトランジスタとの異なる点は、ベース層12aにおける外部ベース領域Aの下面に補助ベース層74aが配置され、さらに当該外部ベース領域Aの上面に補助ベース層74bが配置されている点にある。

【0054】上記バイポーラトランジスタ7を形成する場合には、例えば以下のようにする。先ず、第4実施形態のバイポーラトランジスタの製造工程における図8

(6)～(9)で示した手順にしたがって、外部ベース領域Aの下面に拡散層からなる補助ベース層74aを形成する。その後、例えば第6実施例で示したセルフアラインシリサイドプロセスによって、外部ベース領域Aの上面に金属シリサイドからなる補助ベース層74bを形成する。

【0055】上記バイポーラトランジスタ7では、外部ベース層12aの上面及び下面に補助ベース層74a、74bが配置されていることから、上記第1～第6実施形態で説明したバイポーラトランジスタよりもさらにベース抵抗を低く抑えることが可能である。

【0056】さらに、図14には、上記第7実施形態の変形例として、第8実施形態のバイポーラトランジスタ8を示す。このバイポーラトランジスタ8を形成する場合には、第4実施形態のバイポーラトランジスタの製造工程における図8(6)～(9)で示した手順にしたがって、外部ベース領域Aの下面に拡散層からなる補助ベース層84aを形成する。次いで、基板11上に絶縁膜18を成膜し、当該絶縁膜にコンタクトホール18aを形成する。このコンタクトホール18aは、その端部がベース層12a下方のコレクタ層11a上に配置されるように形成する。その後、第5、第6実施例で示したセルフアラインシリサイドプロセスによって、外部ベース領域Aの上面に金属シリサイドからなる補助ベース層84bを形成する。これによって、コンタクトホール18a内に形成された補助ベース層84bをベース層12aの単結晶部分上に重ねる。

【0057】上記のようにして形成されたバイポーラトランジスタ8も、上記第7実施形態のバイポーラトランジスタと同様の効果が得られる。

【0058】また、外部ベース領域Aの上面及び下面に補助ベース層が配置されているバイポーラトランジスタは、上記の他にも、第1、第2または第3実施形態のバイポーラトランジスタと第5実施形態または第6実施形態のバイポーラトランジスタとを組み合わせたものでも良い。このような各バイポーラトランジスタは、各実施形態のバイポーラトランジスタの形成方法を適切に組合わ

せることによって形成される。

【0059】

【発明の効果】以上説明したように本発明のバイポーラトランジスタによれば、メサ型バイポーラトランジスタのベース層における外部ベース領域の上面や下面に補助ベース層を配置することによって、真性ベース領域の接合を浅くするためにベース層を薄膜化しても外部ベース領域の実質的な膜厚を厚くしてベース抵抗の上昇を抑えることができる。したがって、バイポーラトランジスタの高速化を達成することが可能になる。

【図面の簡単な説明】

【図1】第1実施形態のバイポーラトランジスタを示す断面図である。

【図2】バイポーラトランジスタの製造工程を示す工程図である。

【図3】第1実施形態のバイポーラトランジスタの製造工程を示す図である。

【図4】第2実施形態のバイポーラトランジスタを示す断面図である。

【図5】第3実施形態のバイポーラトランジスタを示す断面図である。

【図6】第3実施形態のバイポーラトランジスタの製造工程を示す図である。

【図7】第4実施形態のバイポーラトランジスタを示す断面図である。

【図8】第4実施形態のバイポーラトランジスタの製造工程を示す図である。

【図 9】第 5 実施形態のバイポーラトランジスタを示す断面図である。

【図10】第5実施形態のバイポーラトランジスタの製造工程を示す図である。

【図 11】第 6 実施形態のバイポーラトランジスタを示す断面図である。

【図 12】第 6 実施形態のバイポーラトランジスタの製造工程を示す図である。

【図 13】第 7 実施形態のバイポーラトランジスタを示す断面図である。

【図14】第8実施形態のバイポーラトランジスタを示す断面図である。

【図15】従来のバイポーラトランジスタの製造工程を示す図である。

【符号の説明】

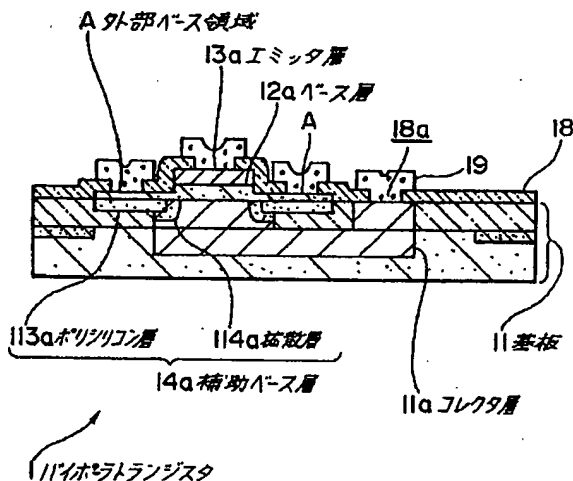
1, 2, 3, 4, 5, 6, 7, 8 バイポーラトランジスタ 11 基板

11a コレクタ層 12a ベース層 13a
エミッタ層

1 4 a, 2 4 a, 3 4 a, 4 4 a, 5 4 a, 6 4 a, 7

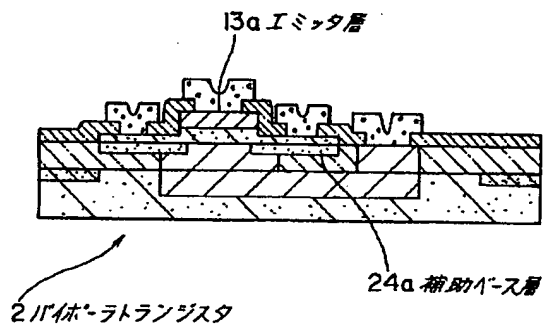
4 a, 7 4 b, 8 4 a, 8 4 b 補助ベース層 A
外部ベース領域

【图 1】



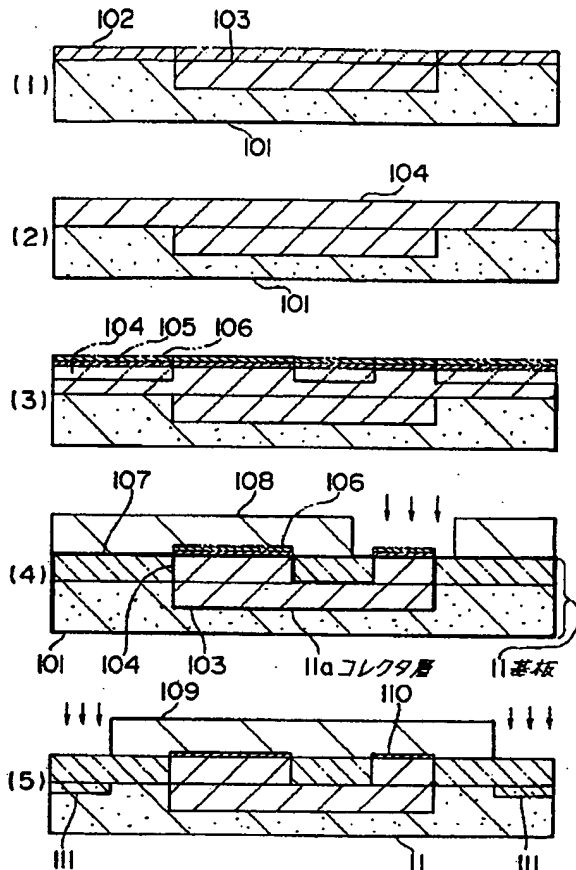
第1実施形態のバイポーラトランジスタを示す断面図

【図 4】



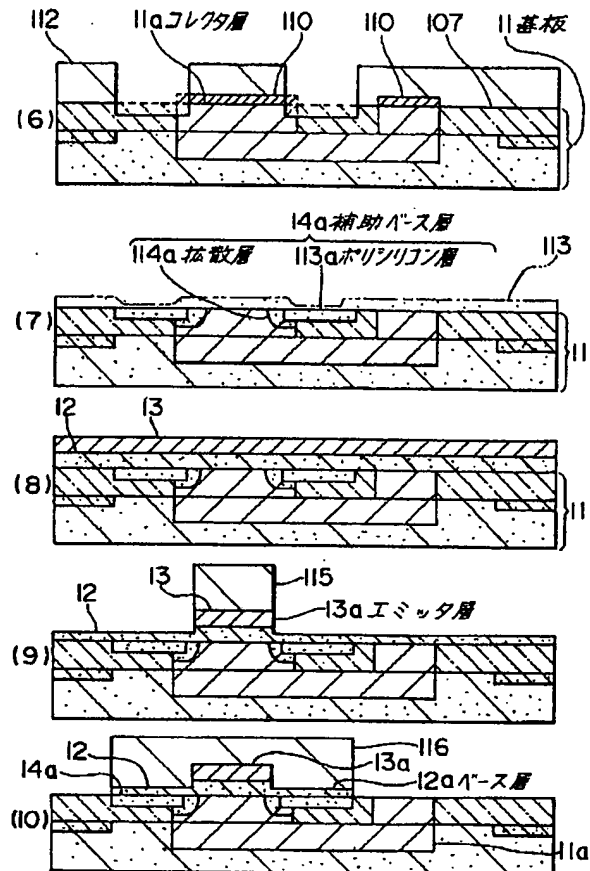
第2実施形態のバイポーラトランジスタを示す断面図

【図2】



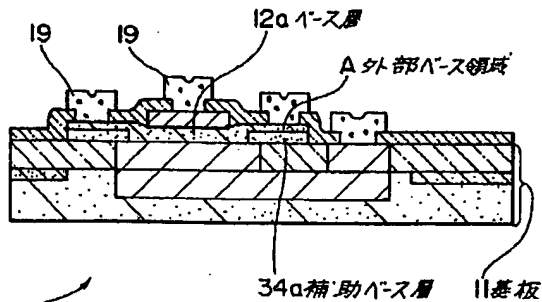
バイポーラトランジスタの製造工程を示す工程図

【図3】



第1実施形態のバイポーラトランジスタの製造工程を示す図

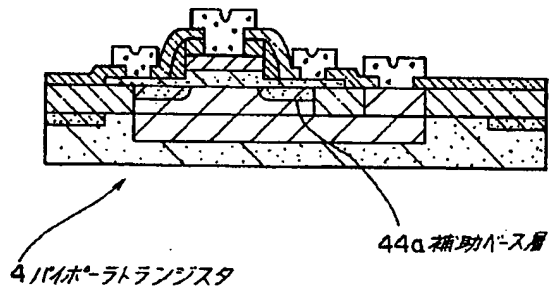
【図5】



3 バイポーラトランジスタ

第3実施形態のバイポーラトランジスタを示す断面図

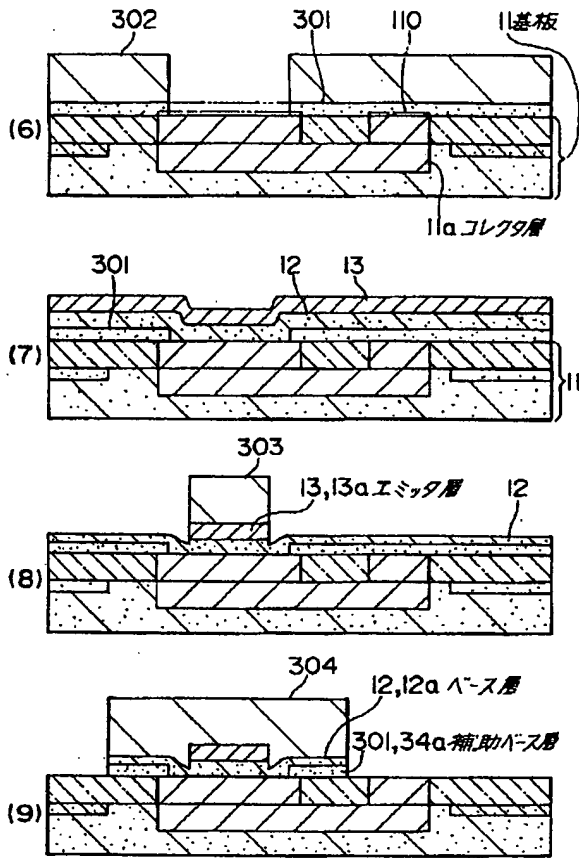
【図7】



4 バイポーラトランジスタ

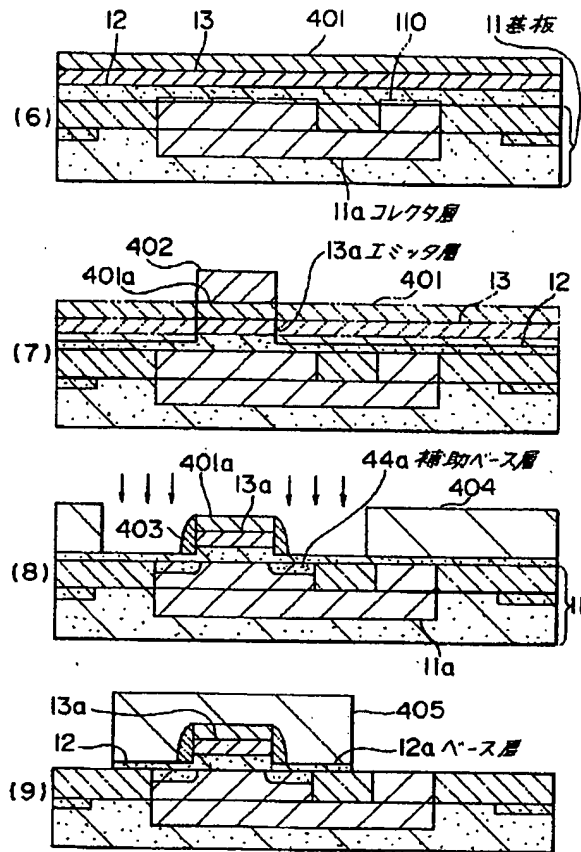
第4実施形態のバイポーラトランジスタを示す断面図

【図6】



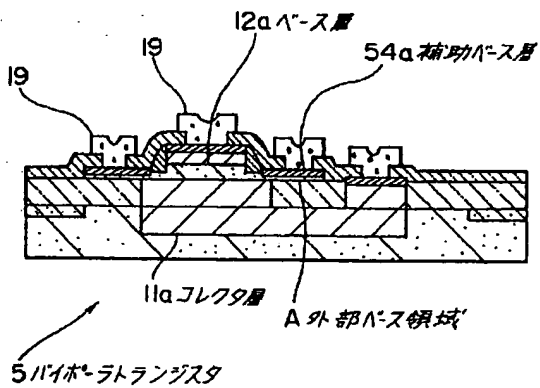
第3実施形態のバイポーラトランジスタの製造工程を示す図

【図8】



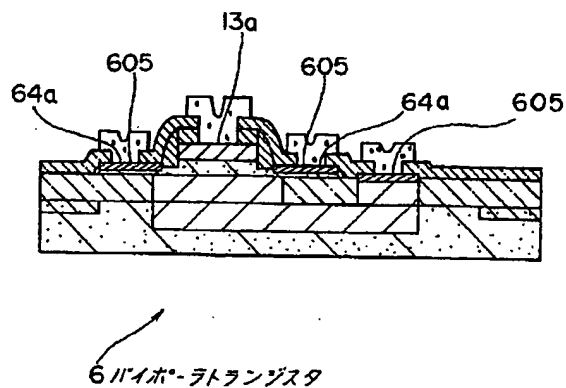
第4実施形態のバイポーラトランジスタの製造工程を示す図

【図9】



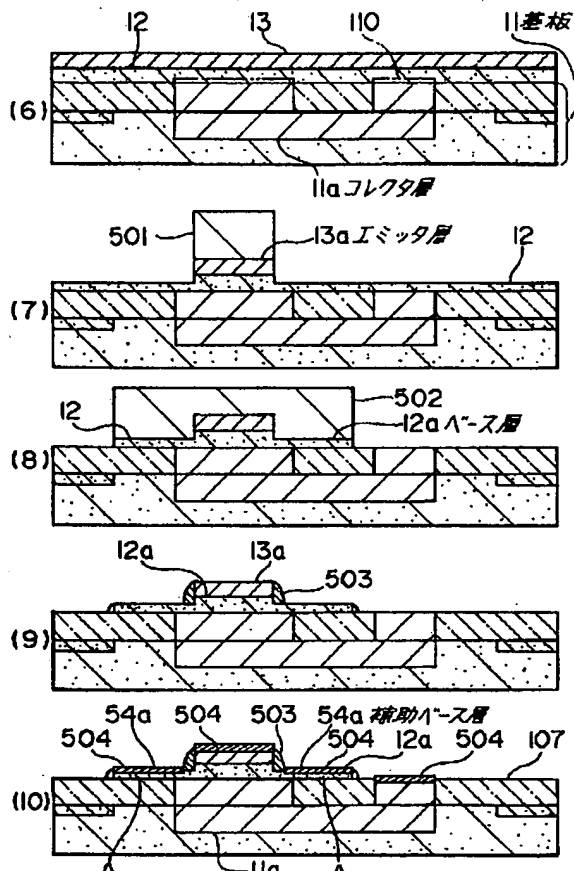
第5実施形態のバイポーラトランジスタを示す断面図

【図11】



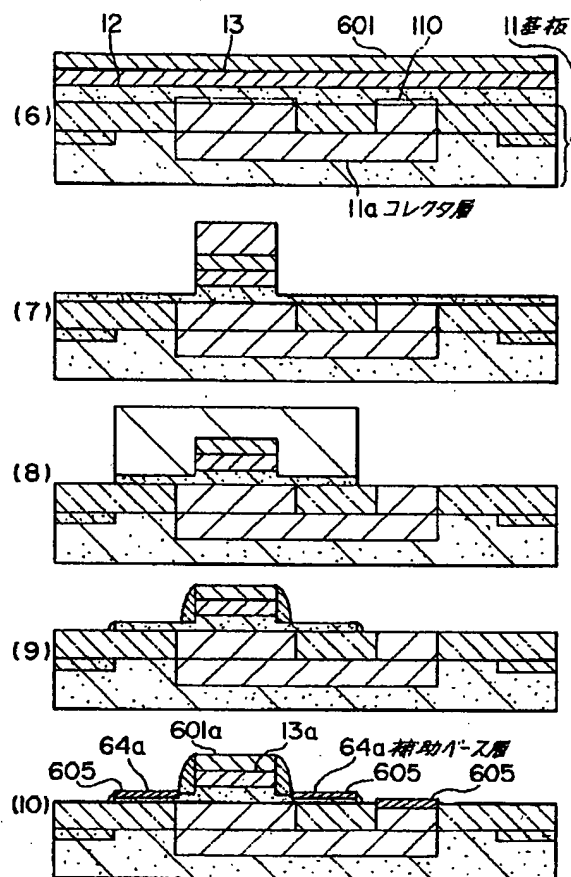
第6実施形態のバイポーラトランジスタを示す断面図

【図10】



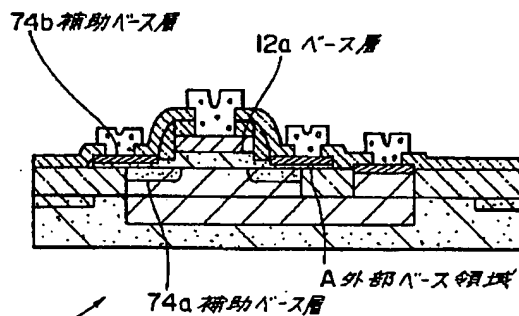
第5実施形態のバイポーラトランジスタの製造工程を示す図

【図12】



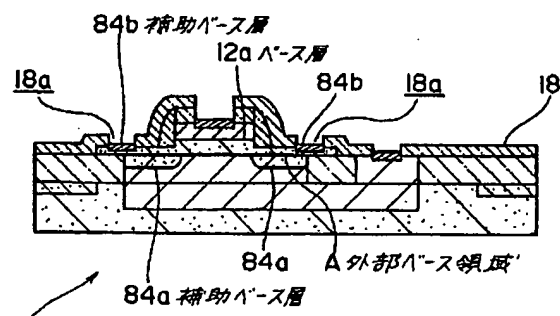
第6実施形態のバイポーラトランジスタの製造工程を示す図

【図13】



第7実施形態のバイポーラトランジスタを示す断面図

【図14】



第8実施形態のバイポーラトランジスタを示す断面図

【図15】

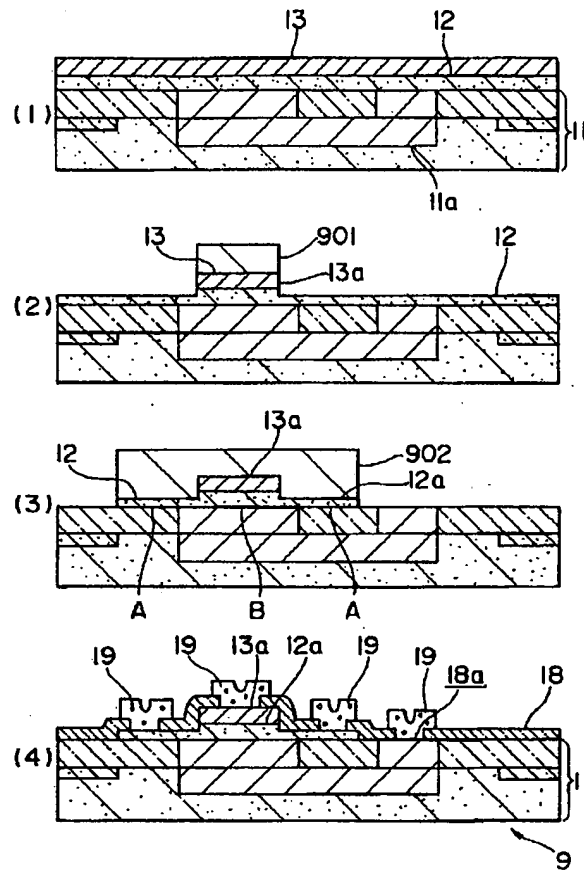


図15は、バイポーラトランジスタの製造工程を示す図